

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月 5日

出 願 番 号

Application Number:

特願2002-353778

[ST.10/C]:

[JP 2002-353778]

出 願 人

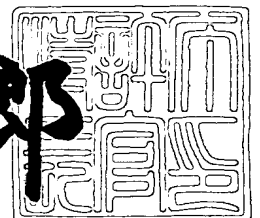
Applicant(s):

沖電気工業株式会社

2003年 6月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051010

【書類名】 特許願

【整理番号】 OG004736

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/304
H01L 21/76

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 田中 宏幸

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100089093

【弁理士】

【氏名又は名称】 大西 健治

【手数料の表示】

【予納台帳番号】 004994

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9720320

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 シリコン基板に溝を形成する工程と、
前記溝底部の角部のみが露出するように前記溝内部に絶縁膜を形成する工程と

前記角部よりシリコン基板を選択的にエッチングする工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記絶縁膜はスパッタリング法あるいはCVD法によって形成される堆積膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記エッチングは等方性エッチングであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記溝は素子分離溝であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記溝内の前記絶縁膜の形成は、前記溝内部に前記角部のみが薄くなるように前記絶縁膜を形成後エッチングすることにより前記角部のシリコン基板が露出するようにしたものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】 前記絶縁膜はスパッタリング法あるいはCVD法によって形成される堆積膜であることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 シリコン基板に隣接する溝を形成する工程と、
前記溝の底部の角部のみが露出するように前記溝内部に絶縁膜を形成する工程と、

前記角部よりシリコン基板を選択的にエッチングする工程と、
前記隣接する溝の内部を酸化し前記隣接する溝が底部においてシリコン酸化膜により絶縁される工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】 前記絶縁膜はスパッタリング法あるいはCVD法によって形成される堆積膜であることを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記エッチングは等方性エッチングであることを特徴とする

請求項 7 記載の半導体装置の製造方法。

【請求項 1 0】 前記溝はSOI型トランジスタの素子分離溝であることを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 1 1】 前記溝内の前記絶縁膜の形成は、前記溝内部に前記角部のみが薄くなるように前記絶縁膜を形成後エッチングすることにより前記角部のシリコン基板が露出するようにしたものであることを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 1 2】 前記絶縁膜はスパッタリング法あるいはCVD法によって形成される堆積膜であることを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は素子分離領域を有する半導体装置の半導体製造方法に関し、特にトレンチを用いた素子分離技術に関するものである。

【0 0 0 2】

【従来の技術】

近年、DRAM（ダイナミック アクセス メモリ）等の半導体装置の微細化に伴い、従来の選択酸化による素子分離ではなく、素子分離がSTI（シャロートレンチ アイソレーション：shallow trench isolation）技術によってがおこなわれるようになってきた（特開 2 0 0 1 - 5 7 3 8 2 参照）。STI 技術は、シリコン等の半導体基板に形成したトレンチ（溝）に酸化膜等の絶縁膜を埋め込むことにより素子分離領域を形成するものである。

【0 0 0 3】

【発明が解決しようとする課題】

しかしながら、従来のトレンチ素子分離では、必ずしも十分な電氣的な素子分離耐圧を得ることができなかった。素子分離耐圧は隣接する素子間に形成されるトレンチに沿ったシリコン領域の最短距離に依存するが、シリコン領域の距離を増加させるためには、たとえば、トレンチの深さを深くし隣接する素子間を長く

することにより可能である。しかしながら、従来のエッチング技術では微細化されたトレンチを制御良く深く、しかも損傷無く形成することは困難であり、分離耐圧を向上させるには限界があった。

【0004】

そのため、例えば、斜め等の形状の異なるトレンチ形成技術（特開平5-29283参照）も考えられるが、エッチングの難さあるいは微細化の困難さがあり、また、トレンチキャパシタの底部全体を等方的にエッチングして底部を広くする方法（特開平6-37275参照）を応用することも考えられるが、この方法ではトレンチの上方部分もエッチングされるため、素子活性領域は変えることなく素子分離特性を向上させることは困難であった。

【0005】

【課題を解決するための手段】

本発明は上記の問題を解決するために、シリコン基板に形成したトレンチに、トレンチ底部のコーナー部のみが露出するようにトレンチ内部に不均一な膜厚の絶縁膜を形成し、シリコン基板の露出しているトレンチコーナー部よりシリコン基板を選択的にエッチングし、溝底部のみをエッチングするようにしたものである。

また、トレンチ底部のコーナー部が薄くなるように絶縁膜を堆積後、絶縁膜の表面をエッチングし、トレンチ底部のコーナー部のシリコン基板を露出させるようにもできる。

【0006】

【発明の実施の形態】

第1図乃至第4図に、本発明の第1の実施形態を示す。従来と同様の工程により、シリコン基板1全面に15nm程度のシリコン熱酸化膜2を形成し、CVD法により200nm程度のシリコン窒化膜3を堆積した後ホトリソグラフィ法およびドライエッチング法によりシリコン基板の素子分離領域に所望の深さ、例えば基板中に400nmのトレンチ4を形成する（第1図参照）。

【0007】

その後、スパッタリング法、あるいはプラズマCVD法により全面に20nm程度の

薄いシリコン酸化膜5を堆積させる。この時スパッタリング膜、あるいはCVD酸化膜を非コンフォーマル的な堆積特性に制御することでトレンチ底コーナー部のみを露出させように堆積することができる。例えば、シラン（ SiH_4 ）と酸素（ O_2 ）ガスを用いたプラズマCVD法により形成されたTEOS（tetraethylorthsilicate）膜では、トレンチ内でのカバレジが悪くなりトレンチ底コーナー部では膜が成長しにくくなり、トレンチ底コーナー部のみ露出あるいは薄膜化できる（第2図参照）。

【0008】

シリコン酸化膜5堆積後、シリコン基板が露出しない場合はトレンチ底部のみが露出するまでウェットエッチング法により堆積したシリコン酸化膜を除去すればよい。そして、沸硝酸溶液によりトレンチ底コーナー部の露出したシリコン基板を選択的にウェットエッチングし、トレンチ底コーナー部のシリコン基板1を等方的に除去する。その結果、底部において広がったトレンチ形状となる（第3図参照）。

【0009】

次に、弗酸溶液を用いて全面に堆積しているシリコン酸化膜5を除去し、300nm程度のシリコン熱酸化膜6を形成した後、CVD法により600nm程度のシリコン酸化膜7を全面に堆積させトレンチ4を埋め込み、CMP法によりシリコン基板1上に堆積されていたシリコン酸化膜2およびシリコン窒化膜3を研磨して除去する。さらに、従来と全く同様な方法により、ゲート酸化膜8、ゲート電極9、ソース・ドレイン拡散層10を有するMOS型トランジスタと、層間絶縁膜11、コンタクトホール12、接続配線13を形成する（第4図参照）。

【0010】

以上説明したように第1の実施形態によれば、素子分離のためシリコン基板に形成したトレンチに対し、トレンチ底コーナー部において露出したシリコン基板を等方的にエッチングすることにより、従来と同様のドライエッチングをトレンチ形成に対して用いても、素子間に形成されるトレンチに沿ったシリコン基板領域の最短距離を長くすることができ、その結果MOS型トランジスタの素子分離耐圧を向上させることができる。

【 0 0 1 1 】

第 5 図乃至第 7 図に、本発明の第 2 の実施形態による半導体装置の製造方法を示す。第 1 の実施形態と全く同様の工程を経て、シリコン基板 2 1 上形成したシリコン熱酸化膜 2 2 およびシリコン窒化膜 2 3 をマスクとして、トレンチ 2 4 を形成し全面に薄いシリコン酸化膜 2 5 を体積させ、トレンチ底コーナー部のシリコンを等方的にエッチングする(第 6 図参照)。

【 0 0 1 2 】

次に、熱酸化処理をおこない、隣接するトレンチ底コーナー部の間にある能動領域のシリコン基板 2 1 を全て酸化し、シリコン熱酸化膜 2 6 によりトレンチ底コーナー部において能動領域と下方のシリコン基板 2 1 を絶縁分離させる。この時トレンチ内の表面近傍においてはシリコン基板表面がシリコン酸化膜 2 5 により覆われているため、シリコン基板 2 1 の酸化により成長するシリコン熱酸化膜 2 6 の膜厚は露出表面上のシリコン熱酸化膜よりも薄くなる(第 6 図参照)。

【 0 0 1 3 】

その後CVD法により全面にシリコン酸化膜 2 7 を堆積させ、CMP法、エッチング法によりシリコン基板 2 1 上に堆積されているシリコン酸化膜 3 2 およびシリコン窒化膜 3 3 を除去する。さらに第 1 の実施形態と同様の工程によりゲート酸化膜 2 8、ゲート電極 2 9、ソース・ドレイン拡散層 3 0 を有するMOS型トランジスタと、層間絶縁膜 3 1、コンタクトホール 3 2、接続配線 3 3 を形成する(第 7 図参照)。

【 0 0 1 4 】

以上のように第 2 の実施形態によれば、素子分離のためシリコン基板に形成したトレンチに対し、トレンチ底コーナー部において露出したシリコン基板を等方的にエッチングし、さらに熱酸化を行うことで能動領域とシリコン基板を絶縁分離する。これにより素子間を完全に分離し、いわゆるSOI (Silicon on Insulator)構造をシリコン基板上の所望の領域に形成することができる。この完全に分離された能動領域にMOS型トランジスタを形成することによりトランジスタの微細化・素子間高耐圧化・高速化・低消費電力化を行うことができる。

【 0 0 1 5 】

【発明の効果】

トレンチ底部のコーナー部よりシリコン基板をエッチングして素子分離領域のトレンチの体積を増大させることにより、隣接する素子間の実効的素子分離の距離を大きくすることができるため、素子の微細化を損なうことなく素子分離特性、つまり素子分離耐圧を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を説明するためのトレンチ素子分離領域を形成するための工程断面図である。

【図 2】

本発明の第 1 の実施形態を説明するためのトレンチ素子分離領域を形成するための工程断面図である。

【図 3】

本発明の第 1 の実施形態を説明するためのトレンチ素子分離領域を形成するための工程断面図である。

【図 4】

本発明の第 1 の実施形態を説明するためのトレンチ素子分離領域を形成するための工程断面図である。

【図 5】

本発明の第 2 の実施形態を説明するための S O I 構造におけるトレンチ素子分離領域を形成するための工程断面図である。

【図 6】

本発明の第 2 の実施形態を説明するための S O I 構造におけるトレンチ素子分離領域を形成するための工程断面図である。

【図 7】

本発明の第 2 の実施形態を説明するための S O I 構造におけるトレンチ素子分離領域を形成するための工程断面図である。

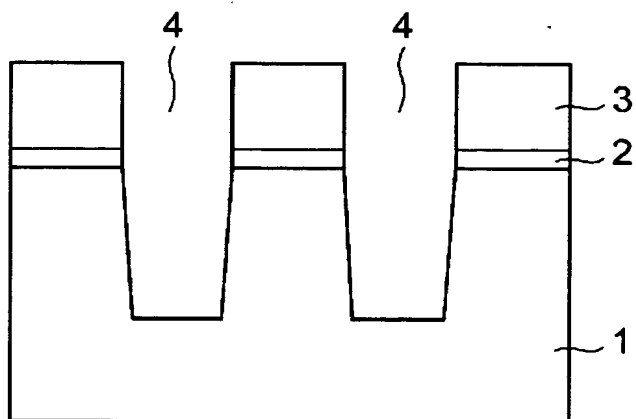
【符号の説明】

1、 2 1 シリコン基板

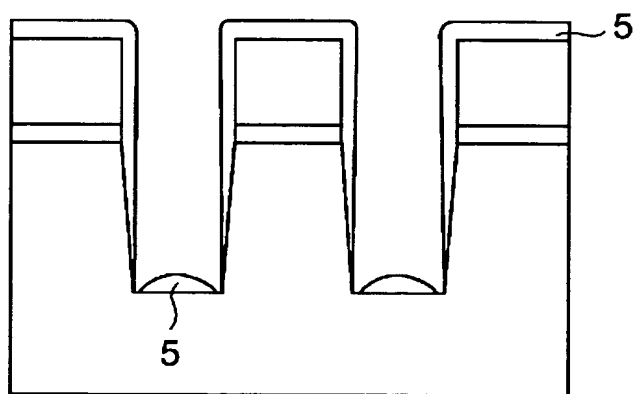
2, 6、2 2、2 6	シリコン熱酸化膜
3、2 3	シリコン窒化膜
4、2 4	トレンチ
5、2 5	堆積シリコン酸化膜
7、2 7	埋め込みシリコン酸化膜
8、2 8	ゲート酸化膜
9、2 9	ゲート電極
1 0、3 0	ソース・ドレイン拡散層
1 1、3 1	層間絶縁膜
1 2、3 2	コンタクトホール
1 3、3 3	接続配線

【書類名】 図面

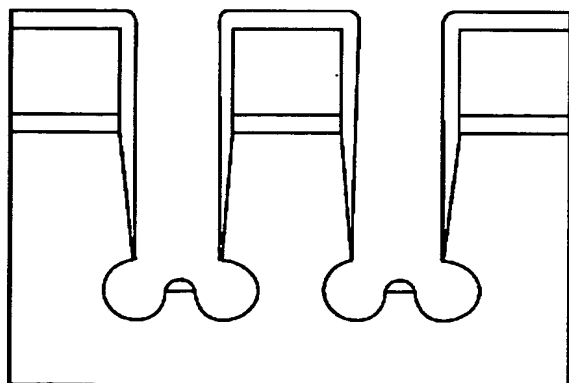
【図 1】



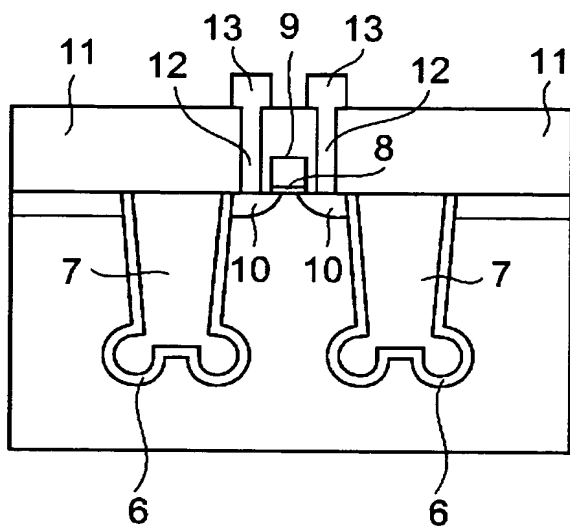
【図 2】



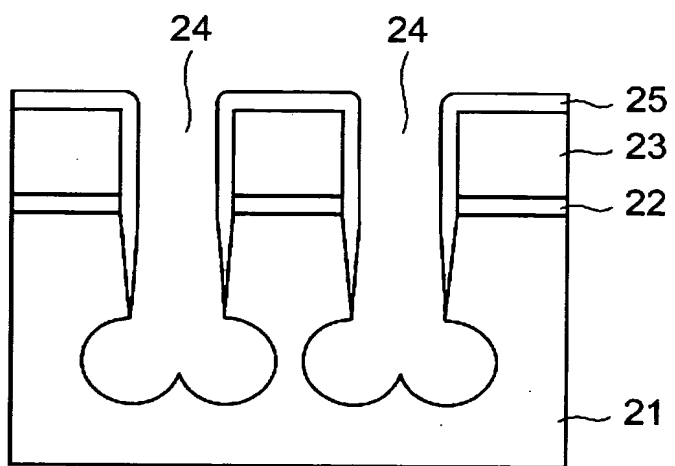
【図 3】



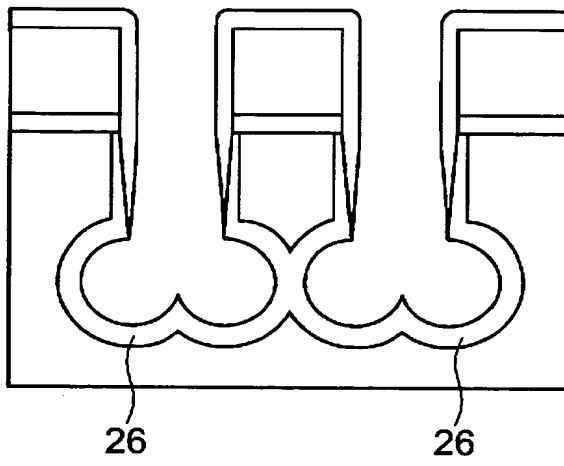
【図 4】



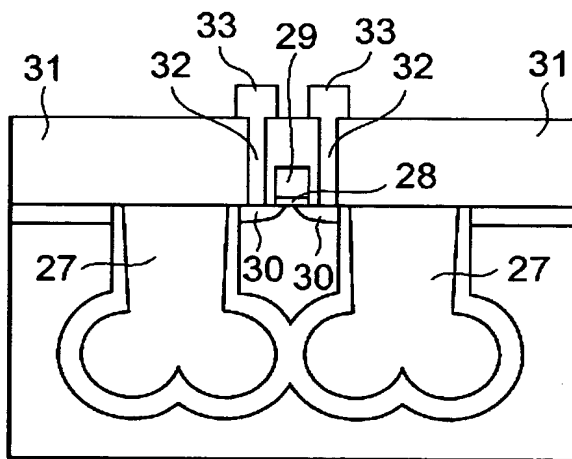
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【目的】 微細化されたトレンチ素子分離の分離特性を向上させる

【構成】 シリコン基板にエッチング形成した素子分離領域のトレンチに、トレンチ底部のコーナー部のみが露出するようにトレンチ内部に不均一な膜厚のシリコン酸化膜を堆積する。トレンチ内部のシリコン基板の露出しているトレンチコーナー部よりシリコン基板を選択的にエッチングし、トレンチの体積を増加させたものである。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 5 3 7 7 8
受付番号	5 0 2 0 1 8 4 3 6 5 6
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 2 月 9 日

<認定情報・付加情報>

【提出日】 平成14年12月 5日

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社